

SHIFT REGISTER CIRCUIT

Patent Number: JP3228295
Publication date: 1991-10-09
Inventor(s): AZUHATA HIROAKI
Applicant(s): NEC CORP
Requested Patent:  JP3228295
Application Number: JP19900024090 19900201
Priority Number(s):
IPC Classification: G11C19/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce the power consumption by adding a synchronization control part which controls the synchronization control signal after deciding the states of the input and output signals of a synchronizing shift register part.

CONSTITUTION: A synchronization control part 9 includes an exclusive OR circuit 5 which inputs the input signal S1 and the output signal S0 of a synchronizing shift register 4 and outputs an exclusive OR signal SEX and an AND circuit 6 which inputs the signal SEX and an external synchronizing signal SC and outputs a synchronization control signal SA. In such a constitution, the register 4 works only when the signals S1 and S0 of an input terminal 1 and an output terminal 2 have different states from each other. Thus the register 4 does not work when both signals S1 and S0 have the same state and keeps a constant state. Then the power consumption of the register 4 is reduced.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

平3-228295

⑮ Int.Cl.⁵

G 11 C 19/00

識別記号

K

庁内整理番号

7131-5B

⑬ 公開 平成3年(1991)10月9日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 シフトレジスタ回路

⑯ 特 願 平2-24090

⑰ 出 願 平2(1990)2月1日

⑱ 発 明 者 小 豆 畑 裕 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

シフトレジスタ回路

特 許 請 求 の 範 囲

入力信号を同期制御信号に対応してシフトして出力信号を出力する同期式シフトレジスタ部を有するシフトレジスタ回路において、前記シフトレジスタの入力信号及び出力信号を入力し、批他の論理和信号を出力するエクスクルーシブ・オア回路と、前記論理和信号と外部同期信号を入力し前記同期制御信号を出力するナンド回路又は、アンド回路を有する同期制御部を付加したことを特徴とするシフトレジスタ回路。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明はシフトレジスタ回路に関する。

〔従来の技術〕

第3図は従来のシフトレジスタ回路の一例のブロック図である。

このシフトレジスタ回路は、入力端子1、出力端子2と同期制御信号入力端子3を有する同期式シフトレジスタ部4で構成されている。

同期信号入力端子3に外部から同期信号 S_c が入力されると、入力端子1の入力信号 S_i の状態にかかわらず、シフトレジスタが回路動作する。
〔発明が解決しようとする課題〕

上述した従来のシフトレジスタ回路は、同期制御信号が入力されると、入力信号にかかわらずシフトレジスタが動作するために、このシフトレジスタを多数直列接続すると、消費電力が大きくなるという欠点があった。

本発明の目的は、消費電力の小さいシフトレジスタ回路を提供することにある。

〔課題を解決するための手段〕

本発明のシフトレジスタは、入力信号を同期制御信号に対応してシフトして出力信号を出力する同期式シフトレジスタ部を有するシフトレジスタ

回路において、前記シフトレジスタの入力信号及び出力信号を入力し、此他の論理和信号を出力するエクスクルーシブ・オア回路と、前記論理和信号と外部同期信号を入力し前記同期制御信号を出力するナンド回路又は、アンド回路を有する同期制御部を付加して構成されている。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の回路図である。

シフトレジスタ回路は、同期式シフトレジスタ部4の入力端子1と出力端子2をEX-ORゲート5のそれぞれの入力端子に接続し、EX-ORゲート5の出力端子と同期信号入力端子7をANDゲート6のそれぞれ入力端子に接続し、ANDゲート6の出力端子をシフトレジスタ部4の同期制御信号入力端子3に接続する同期制御部9を従来の第1図のブロックに付加している。

この回路は、入力端子1と出力端子2の状態(“H”又は“L”)が同一のとき、EX-OR

ゲート5の出力信号 S_{ex} は“L”となり、EX-ORゲート5の出力信号 S_{ex} を入力とするANDゲート6の出力信号 S_A は、同期信号入力端子7から入力される同期信号 S_C にかかわらず常に“L”がシフトレジスタ部4の同期制御信号入力端子3に入力される。

よってシフトレジスタ部4は一定の状態を保つ。

また、入力端子1と出力端子2の信号の状態が異なるときは、EX-ORゲート5の出力信号 S_{ex} は“H”となり、EX-ORゲート5の出力信号 S_{ex} を入力とするANDゲート6の出力信号 S_A は同期信号入力端子7から入力される同期信号 S_C と同相の信号がシフトレジスタ部4の同期制御信号入力端子3に入力される。

よってシフトレジスタ部4が動作をする。

以上説明したように、シフトレジスタ部4が動作するのは、入力端子1と出力端子2の信号状態が異なるときのみで、信号状態が同じときにはシフトレジスタ部4は動作せず一定の状態を保つの

で、同期式シフトレジスタ部4の消費電力は従来例の場合よりも低減される。

第2図は本発明の第2の実施例の回路図である。

本実施例のシフトレジスタ回路は、第1図の同期制御部9のANDゲート6の代りにNANDゲート8を用いた同期制御部9を有する点が、第1の実施例のシフトレジスタと異なる。

この構成により、入力端子1と出力端子2の信号を状態が同じときにEX-ORゲート5の出力信号 S_{ex} は“L”となり、EX-ORゲート5の出力信号 S_{ex} を入力とするNANDゲート8の出力信号 S_N は同期信号入力端子7から入力される同期信号にかかわらず常に“H”がシフトレジスタ部4の同期制御信号入力端子3に入力される。

よって、シフトレジスタ部4は一定の状態を保つ。

また、入力端子1と出力端子2の状態が異なるとき、EX-ORゲート5の出力信号 S_{ex} は

“H”となり、EX-ORゲート5の出力信号 S_{ex} を入力とするNANDゲート8の出力信号 S_N は同期信号入力端子7から入力される同期信号 S_C と逆相の信号がシフトレジスタ部4の同期制御信号入力端子3に入力される。

よってシフトレジスタ部4が動作をする。

以上のことにより、第1の実施例と同様に消費電力は低減される。

本実施例は第1の実施例に対してANDゲート6にかわりにNANDゲート8を用いることによって素子数を減らす効果がある。

〔発明の効果〕

以上説明したように本発明は、同期式シフトレジスタ部の入力信号と出力信号の状態を判断して同期制御信号を制御する同期制御部を付加して消費電力を低減できる効果がある。

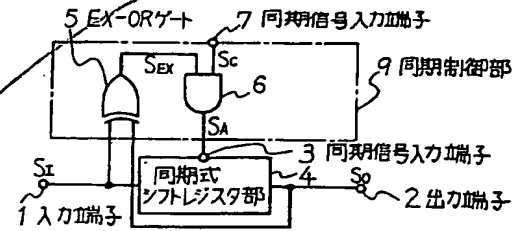
図面の簡単な説明

第1図は本発明の第1の実施例の回路図、第2図は本発明の第2の実施例の回路図、第3図は従

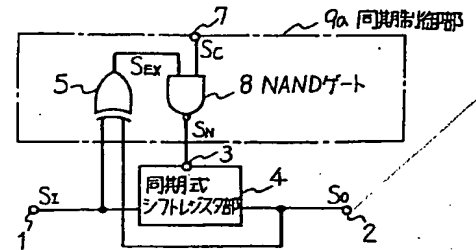
来のシフトレジスタの一例のブロック図である。

1…入力端子、2…出力端子、3…同期制御信号入力端子、4…同期式シフトレジスタ、5…EX-ORゲート、6…ANDゲート、7…同期信号入力端子、8…NANDゲート、9、9a…同期制御部、 S_I …入力信号、 S_O …出力信号、 S_C …同期信号、 S_N …NAND信号、 S_{EX} …EX-OR出力信号。

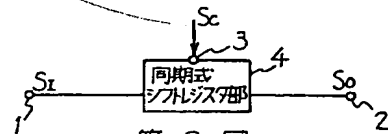
代理人 弁理士 内 原 晋



第1図



第2図



第3図

THIS PAGE BLANK (USPTO)